

**MODULARIO  
LCA - 101**



Mod. C.E. - 1-4-7

# *Ministero delle Attività Produttive*

## *Direzione Generale per lo Sviluppo Produttivo e la Competitività*

# *Ufficio Italiano Brevetti e Marchi*

## *Ufficio G2*



**Autenticazione di copia di documenti relativi alla domanda di brevetto per:**

## Invenzione Industriale

N. MI2003 A 000136

*Si dichiara che l'unità copia è conforme ai documenti originali depositati con la domanda di brevetto sopraspecificata, i cui dati risultano dall'accluso processo verbale di deposito.*

Inoltre disegni definitivi depositati alla Camera di Commercio di Milano n. MIR000691 il 18/03/2003 (pagg. 5) Istanza di Rettifica depositata alla Camera di Commercio di Milano n. MTV000181 il 22/01/2004 (pag. 1).

Roma, li ..... 24 FEB. 2004 .....

## *er* IL DIRIGENTE

Pade flane

Dr.ssa Paola Giuliano

**AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE**

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE. DEPOSITO RISERVE. ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

**MODULO A****A. RICHIEDENTE (I)**1) Denominazione **STMicroelectronics s.r.l.**Residenza **AGRATE BRIANZA (Milano)**

codice

0095190008



2) Denominazione \_\_\_\_\_

Residenza \_\_\_\_\_

codice \_\_\_\_\_

**B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.**cognome nome **MITTLER Enrico e altri**

cod. fiscale \_\_\_\_\_

denominazione studio di appartenenza **MITTLER & C. s.r.l.**via **Le Lombardia**n. **20**città **MILANO**cap **20131**(prov) **MI****C. DOMICILIO ELETTIVO destinatario** **vedi sopra**

via \_\_\_\_\_

n. \_\_\_\_\_

città \_\_\_\_\_

cap \_\_\_\_\_

(prov) \_\_\_\_\_

**D. TITOLO**

classe proposta (sez/cl/scl) \_\_\_\_\_

gruppo/sottogruppo \_\_\_\_\_

**'Stadio di ingresso a condensatori commutati per convertitori analogico-digitali.'**ANTICIPATA ACCESSIBILITÀ AL PUBBLICO: SI  NO SE ISTANZA: DATA **11/11/03**N° PROTOCOLLO **111111**

E. INVENTORI DESIGNATI cognome nome

1) **COLONNA Vittorio**3) **GANDOLFI Gabriele**2) **BASCHIROTTO Andrea**

4) \_\_\_\_\_

**F. PRIORITÀ**

nazione o organizzazione \_\_\_\_\_

tipo di priorità \_\_\_\_\_

numero di domanda \_\_\_\_\_

data di deposito \_\_\_\_\_

allegato S/R \_\_\_\_\_

1) \_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

2) \_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

SCIOLGIMENTO RISERVE	
Data	N° Protocollo
_____	_____
_____	_____

**G. CENTRO ARBITRATO DI RACCOLTA COLTURE DI MICRORGANISMI. denominazione****H. ANNOTAZIONI SPECIALI**

_____	_____	_____	_____	_____
_____	_____	_____	_____	_____
_____	_____	_____	_____	_____

**DOCUMENTAZIONE ALLEGATA**N. es. Doc. 1) **2** PROV n. pag. **13**

riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare) ....

Doc. 2) **2** PPNV n. tav. **05**

disegno (obbligatorio se citato in descrizione, 1 esemplare) ....

Doc. 3) **1** RIS

lettera d'incarico, procura o riferimento procura generale ....

Doc. 4) **0** RIS

designazione inventore ....

Doc. 5) **0** RIS

documenti di priorità con traduzione in italiano ....

Doc. 6) **0** RIS

autorizzazione o atto di cessione ....

Doc. 7) **0**

nominativo completo del richiedente ....

SCIOLGIMENTO RISERVE	
Data	N° Protocollo
_____	_____
_____	_____
_____	_____
_____	_____
confronta singole priorità	_____
_____	_____

8) attestati di versamento, totale Euro **188,51 (centoottantotto/51)**

obbligatorio

COMPILATO IL **27/01/2003**FIRMA DEL(I) RICHIEDENTE(I) **p.p. STMicroelectronics s.r.l.**CONTINUA SI/NO **NO***Dr Ing. MITTLER Enrico*DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO **NO**CAMERA DI COMMERCIO IND. ART. E AGR. DI **MILANO****MILANO**codice **115**VERBALE DI DEPOSITO NUMERO DI DOMANDA **MT2003A 000136**

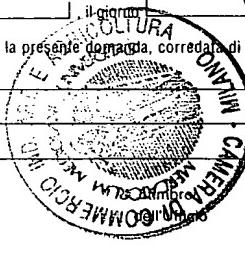
Reg. A.

L'anno **DUEMILATRE**il giorno **VENTOTTO**del mese di **GENNAIO**

Il(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda, corredata di n.

00 fogli aggiuntivi per la concessione del brevetto sopriportato.

I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

*Matta Mayrin*
*E.P.*  
 L'UFFICIALE ROGANTE  
**M. CORTONESI**

## RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO DOMANDA MI2003A 000136

REG. A

DATA DI DEPOSITO

28.01.2003

NUMERO BREVETTO

DATA DI RILASCIO

11/11/11

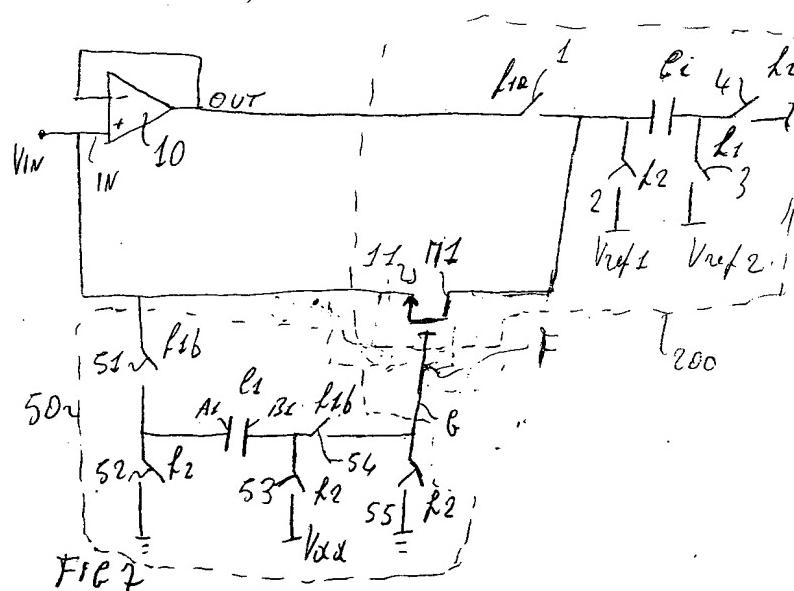
## D. TITOLO

**"Stadio di ingresso a condensatori commutati per convertitori analogico-digitali."**

## L. RIASSUNTO

E' descritto uno stadio di ingresso a condensatori commutati per convertitori analogico-digitali. Lo stadio comprende una prima struttura circuitale a condensatori commutati (200) atta a campionare un segnale analogico ( $V_{in}$ ) in ingresso al convertitore con un prefissato periodo di campionamento (T), un buffer (10) avente in ingresso detto segnale analogico ( $V_{in}$ ) ed essendo collegabile alla prima struttura circuitale (200) tramite un primo (1) ed un secondo (11) interruttore di campionamento della prima struttura circuitale (200) accoppiati rispettivamente con il terminale di uscita (OUT) ed il terminale di ingresso (IN) del buffer (10). Il primo (1) ed il secondo (11) interruttore sono comandati rispettivamente da un primo ( $f_{1a}$ ) ed un secondo (F) segnale a chiudersi rispettivamente per un primo intervallo di tempo ( $T/4$ ) e per un successivo secondo intervallo di tempo ( $T/4$ ) di un primo semiperiodo di campionamento ( $T/2$ ) del segnale analogico ( $V_{in}$ ). Lo stadio comprende una seconda struttura circuitale a condensatori commutati (50) collegata ad un tensione di riferimento ( $V_{dd}$ ) e al buffer (10) ed atta a generare detto secondo segnale (F) con un valore di tensione ( $V_{dd}+V_{in}$ ) maggiore in valore assoluto del valore del segnale analogico ( $V_{in}$ ) per la durata del secondo intervallo di tempo ( $T/4$ ) del semiperiodo di campionamento ( $T/2$ ). (Fig. 7).

## M. DISEGNO



DESCRIZIONE

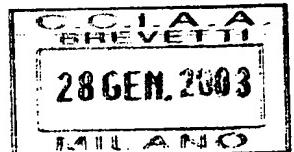
dell'invenzione industriale avente per titolo:

MI 2003 A 000136

"Stadio di ingresso a condensatori commutati per convertitori analogico-digitali."

a nome: STMicroelectronics s.r.l

\* \* \* \*



La presente invenzione concerne uno stadio di ingresso a condensatori commutati per convertitori analogico-digitali.

Sono generalmente conosciute strutture circuitali a condensatori commutati (SC) impiegate in convertitori analogico digitali. Le strutture a condensatori commutati utilizzate per il campionamento di un segnale analogico devono avere una velocità di campionamento maggiore della larghezza di banda del segnale che deve essere convertito. Dette strutture SC possono essere strutture di ingresso analogico dei convertitori analogico-digitali.

In figura 1 è mostrata una struttura circuitale di ingresso per un convertitore analogico-digitale. Detta struttura 200 è una struttura a condensatori commutati comprendente un primo interruttore 1 collegato da una parte ad un terminale  $I_0$  su cui è presente il segnale analogico in ingresso  $V_{in}$  e dall'altra connesso ad un'armatura A di condensatore  $C_i$ , un interruttore 2 disposto fra la stessa armatura A del condensatore  $C_i$  ed una tensione di riferimento  $V_{ref1}$ , un interruttore 3 disposto fra l'armatura B del condensatore  $C_i$  ed un'altra tensione di riferimento  $V_{ref2}$ , un interruttore 4 collegato all'armatura B ed ad un prossimo stadio del convertitore analogico-digitale.

Gli interruttori 1-4 sono comandati dai segnali  $f_1$  e  $f_2$  mostrati in figura 2; più

precisamente gli interruttori 1 e 3 sono comandati dal segnale f1 e gli interruttori 2 e 4 sono comandati dal segnale f2. La dimensione del condensatore Ci, la conduttanza in fase di accensione degli interruttori ed il periodo di campionamento T determinano l'impedenza dinamica della struttura. Il veloce transitorio del segnale che attraversa gli elementi della struttura 200 causa picchi di corrente elevati, detti anche spike, che possono dare problemi nelle diverse applicazioni in cui viene utilizzata detta struttura, ad esempio problemi di interfaccia con dispositivi su chip diversi. Per tale motivo lo stadio di pilotaggio di detta struttura circuitale deve essere progettato con cura come nel caso di convertitori analogico-digitali ad alta risoluzione (più di 16 bit); infatti, in questi ultimi, il progetto di detto stadio di pilotaggio diventa sempre più critico in quanto può peggiorare le prestazioni dello stesso convertitore.

A tale scopo sono state realizzate alcune soluzioni.

Una via per non avere spike di corrente è quella di aggiungere un buffer 10 di ingresso alla struttura 200 di figura 1 che ha lo scopo di caricarla, come mostrato in figura 3. Il buffer deve avere una grande larghezza di banda per garantire una buona regolazione del livello del segnale in ingresso. Tale buffer rappresenta una soluzione costosa in termini di area e consumo di potenza ed inoltre introduce rumore che può peggiorare le prestazioni dell'intero convertitore.

Un'altra soluzione consiste nell'uso di un'ulteriore struttura a condensatori commutati 100 per ridurre la resistenza di accensione della struttura 200 di figura 1, come visibile in figura 4. La struttura 100 è atta al pilotaggio dell'interruttore 1 della struttura circuitale di figura 1 il quale, nella

figura 4, è rappresentato da un transistor MOS M. La struttura 100 comprende gli interruttori 101-103 pilotati dal segnale f2, gli interruttori 104 e 105 pilotati dal segnale f1 ed un condensatore Cb. L'interruttore 101 è disposto fra il primo terminale del condensatore Cb ed il segnale analogico Vin mentre l'interruttore 104 è disposto fra detto primo terminale del condensatore Cb ed il terminale di gate del transistor MOS M. L'interruttore 102 è disposto fra il secondo terminale del condensatore Cb e massa mentre il condensatore 105 è disposto fra detto secondo terminale del condensatore Cb ed una tensione Vdd; l'interruttore 103 è disposto fra il terminale di gate del transistor M e massa. La chiusura degli interruttori 101-103 consente di caricare il condensatore Cb alla tensione Vin e di scaricare le capacità intrinseche del transistor M legati al terminale di drain. La successiva chiusura degli interruttori 104 e 105 consente il pilotaggio del transistor MOS M con una tensione fra terminale di gate e terminale di source pari a Vdd dato che sul terminale di gate è presente la tensione Vdd+Vin. Detta struttura 100 garantisce una buona linearità del segnale nella struttura di ingresso ma la riduzione della resistenza di accensione provoca un aumento degli spike di corrente in ingresso alla struttura di figura 1.

Un'ulteriore soluzione è costituita da un circuito campionatore capacitivo mostrato in figura 5. Detto circuito è simile al circuito di figura 3 in cui è stato aggiunto un interruttore 11 disposto fra il terminale di ingresso IN del buffer 10 ed il terminale A del condensatore Ci. Gli interruttori 1 e 11 diventano pertanto i primi interruttori di campionamento della struttura 200; infatti essi sono comandati dai segnali f1a e f1b mostrati in figura 6 che derivano dal segnale f1 e che contribuiscono entrambi a caricare il

condensatore Ci fino al livello di tensione Vin. Più precisamente considerando T il periodo di campionamento il primo semiperiodo di campionamento T/2 viene suddiviso in altri due semiperiodi T/4; nel primo periodo T/4 il segnale f1a è positivo e pertanto l'interruttore 1 è attivo mentre nel secondo periodo T/4 il segnale f1b è positivo e l'interruttore 11 diventa attivo. Con tale soluzione il rumore introdotto dal buffer non inficia le prestazioni del convertitore dato che detto buffer è sconnesso durante il secondo periodo T/4.

In vista dello stato della tecnica, scopo della presente invenzione è quello di fornire uno stadio di ingresso a condensatori commutati per convertitori analogico-digitali atto a migliorare la linearità e ridurre gli spike di corrente più degli stadi di ingresso noti.

In accordo alla presente invenzione tale scopo viene raggiunto mediante uno stadio di ingresso a condensatori commutati per convertitori analogico-digitali, detto stadio comprendendo una prima struttura circuitale a condensatori commutati atta a campionare un segnale analogico in ingresso a detto convertitore con un prefissato periodo di campionamento, un buffer avente in ingresso detto segnale analogico ed essendo collegabile a detta prima struttura circuitale tramite un primo ed un secondo interruttore di campionamento di detta prima struttura circuitale accoppiati rispettivamente con il terminale di uscita ed il terminale di ingresso di detto buffer, detto primo e secondo interruttore essendo comandati rispettivamente da un primo ed un secondo segnale a chiudersi rispettivamente per un primo intervallo di tempo e per un successivo secondo intervallo di tempo di un primo semiperiodo di campionamento di detto segnale analogico, caratterizzato dal fatto di comprendere una seconda struttura circuitale a condensatori



commutati collegata ad un tensione di riferimento e a detto buffer ed atta a generare detto secondo segnale con un valore di tensione maggiore in valore assoluto del valore di detto segnale analogico per la durata di detto secondo intervallo di tempo del semiperiodo di campionamento.

Le caratteristiche ed i vantaggi della presente invenzione risulteranno evidenti dalla seguente descrizione dettagliata di una sua forma di realizzazione pratica, illustrata a titolo di esempio non limitativo negli uniti disegni, nei quali:

la figura 1 è una vista schematica di una struttura circuitale a condensatori commutati utilizzata come stadio di ingresso per un convertitore analogico-digitale secondo l'arte nota;

la figura 2 è un grafico dei segnali di comando degli interruttori di figura 1 in funzione del tempo;

la figura 3 è una vista schematica di un'altra struttura circuitale a condensatori commutati utilizzata come stadio di ingresso per un convertitore analogico-digitale secondo l'arte nota;

la figura 4 è una vista schematica di un'ulteriore struttura circuitale a condensatori commutati utilizzata come stadio di ingresso per un convertitore analogico-digitale secondo l'arte nota;

la figura 5 è una vista schematica di un'ulteriore struttura circuitale a condensatori commutati utilizzata come stadio di ingresso per un convertitore analogico-digitale secondo l'arte nota;

la figura 6 è un grafico dei segnali di comando di alcuni interruttori di figura 1 in funzione del tempo;

la figura 7 è una vista schematica di una struttura circuitale a

condensatori commutati utilizzata come stadio di ingresso per un convertitore analogico-digitale secondo una forma di realizzazione della presente invenzione;

la figura 8 è una vista schematica di una struttura circuitale a condensatori commutati utilizzata come stadio di ingresso per un convertitore analogico-digitale secondo una variante alla forma di realizzazione della presente invenzione;

la figura 9 è un diagramma temporale della corrente in ingresso alla struttura circuitale di figura 1;

la figura 10 è un diagramma temporale della corrente in ingresso alla struttura circuitale di figura 8.

Con riferimento alla figura 7 è descritto uno stadio di ingresso a condensatori commutati per convertitori analogico-digitali secondo la forma di realizzazione della presente invenzione; gli elementi circuitali già descritti precedentemente saranno indicati con gli stessi riferimenti numerici. Detto stadio comprende una prima struttura a condensatori commutati 200 atta a campionare il segnale analogico Vin in ingresso al convertitore analogico digitale ed un buffer 10 che ha in ingresso detto segnale analogico Vin ed il terminale di uscita OUT connesso alla struttura circuitale 200. Quest'ultima ha due primi interruttori di campionamento 1 e 11 pilotati dai segnali f1a e F in modo da essere alternativamente attivi in una metà T/4 del semiperiodo di campionamento T/2 del segnale analogico Vin, cioè rispettivamente per un primo e per un successivo secondo intervallo di tempo T/4. Gli interruttori 1 e 11 sono connessi rispettivamente con il terminale di uscita OUT e di ingresso IN del buffer 10. L'interruttore 11 è preferibilmente costituito da un transistor

MOS M1 sul cui terminale di gate G insiste il segnale di pilotaggio F proveniente da una circuiteria 50. Quest'ultima è collegata fra il terminale di ingresso IN del buffer 10 ed il terminale di gate del transistor 11 e comprende un condensatore C1 avente un terminale A1 collegabile al terminale di ingresso IN del buffer 10 mediante un interruttore 51 ed un terminale B1 collegabile al terminale di gate del transistor 11 mediante un interruttore 54; sugli interruttori 51 e 54 insiste il segnale f1b di figura 6. Gli interruttori 52, 53 e 55 sono pilotati dal segnale f2 e sono disposti rispettivamente l'interruttore 52 fra il terminale A1 del condensatore C1 e massa, l'interruttore 53 fra il terminale B2 del condensatore C1 ed una tensione di riferimento Vdd, e l'interruttore 55 fra il terminale di gate G del transistor 11 e massa.

Quando il segnale f2 è positivo gli interruttori 52, 53 e 55 sono chiusi e ciò consente la carica del condensatore C1 alla tensione Vdd e la scarica delle capacità intrinsiche del transistor 11 connesse al terminale di gate; il segnale F in tale semiperiodo è a massa. Quando il segnale f1b è positivo, cioè nel secondo intervallo di tempo T/4, gli interruttori 51 e 54 sono chiusi. In tal modo si ha sul terminale di gate G del transistor 11 un segnale di pilotaggio in tensione F maggiore in valore assoluto del valore della tensione Vin; in tal caso un segnale F sul terminale di gate G pari a Vdd+Vin, cioè una tensione fra gate e source pari a Vdd che consente la chiusura dell'interruttore 11.

L'utilizzo di una tensione gate-source uguale a Vdd riduce la resistenza di accensione del transistor 11 che si traduce in una minore distorsione del segnale che attraversa il transistor 11

Nella figura 8 è mostrato uno stadio di ingresso a condensatori

commutati per convertitori analogico-digitali secondo una variante alla forma di realizzazione della presente invenzione. In tale variante la circuiteria 50 per il pilotaggio del transistor 11, in modo diverso dalla forma di realizzazione descritta nella figura 7, è direttamente collegata con il terminale di uscita OUT del buffer 10 invece che con il terminale di ingresso IN. In tal modo viene sfruttato il buffer 10 durante la fase f1b per caricare il condensatore C1 della circuiteria 50 e le capacità intrinseche al transistor MOS 11 (mostrate in tratteggio in figura 8), cioè la capacità fra gate e drain Cgd, la capacità fra gate e source Cgs e la capacità fra gate e substrato Cgb (che è normalmente connessa tra gate e massa ma che per il calcolo della capacità totale è mostrata in parallelo alla capacità Cgs). La capacità totale di carico CL che il buffer 10 deve caricare è data da

$$CL = \frac{C1 * (Cgd + Cgs + Cgb)}{C1 + Cgd + Cgb + Cgs}$$

In tal modo la sorgente di ingresso che invia il segnale Vin deve caricare un carico capacitivo ridotto rispetto al circuito di figura 7 e dato quasi esclusivamente dal condensatore di campionamento Ci; ciò consente di ridurre gli spike di corrente.

Nelle figure 9 e 10 sono mostrati dei diagrammi temporali delle correnti I1 e I2 sui terminali di ingresso Io e IN rispettivamente della tipologia circuitale di figura 1 e di quella di figura 8 utilizzando un condensatore  $Ci=4,7\text{ pF}$ , un condensatore  $C1=2\text{ pF}$  ed un buffer avente un guadagno in tensione pari a 50db ed una banda di frequenza di 400Mhz. Il diagramma di figura 9 mostra una corrente di ingresso I1 con variazioni fra un picco positivo ed un picco negativo di corrente maggiori di 20 mA, cioè 20mA<sub>pp</sub>, mentre il diagramma di figura 10 mostra una corrente di ingresso I2 con



variazioni fra un picco positivo ed un picco negativo di corrente minori di 2 mA, cioè 2mA<sub>pp</sub>. Per la tipologia circuitale di figura 7, anche se non mostrato con un diagramma temporale, si ottiene anche una corrente sul terminale di ingresso IN con variazioni fra un picco positivo ed un picco negativo di corrente di circa di 2,7 mA, cioè 2,7mA<sub>pp</sub>.

## RIVENDICAZIONI

1. Stadio di ingresso a condensatori commutati per convertitori analogico-digitali, detto stadio comprendendo una prima struttura circuitale a condensatori commutati (200) atta a campionare un segnale analogico ( $V_{in}$ ) in ingresso a detto convertitore con un prefissato periodo di campionamento ( $T$ ), un buffer (10) avente in ingresso detto segnale analogico ( $V_{in}$ ) ed essendo collegabile a detta prima struttura circuitale (200) tramite un primo (1) ed un secondo (11) interruttore di campionamento di detta prima struttura circuitale (200) accoppiati rispettivamente con il terminale di uscita (OUT) ed il terminale di ingresso (IN) di detto buffer (10), detto primo (1) e secondo (11) interruttore essendo comandati rispettivamente da un primo ( $f_{la}$ ) ed un secondo ( $F$ ) segnale a chiudersi rispettivamente per un primo intervallo di tempo ( $T/4$ ) e per un successivo secondo intervallo di tempo ( $T/4$ ) di un primo semiperiodo di campionamento ( $T/2$ ) di detto segnale analogico ( $V_{in}$ ), caratterizzato dal fatto di comprendere una seconda struttura circuitale a condensatori commutati (50) collegata ad un tensione di riferimento ( $V_{dd}$ ) e a detto buffer (10) ed atta a generare detto secondo segnale ( $F$ ) con un valore di tensione ( $V_{dd}+V_{in}$ ) maggiore in valore assoluto del valore di detto segnale analogico ( $V_{in}$ ) per la durata di detto secondo intervallo di tempo ( $T/4$ ) del semiperiodo di campionamento ( $T/2$ ).

2. Stadio di ingresso secondo la rivendicazione 1, caratterizzato dal fatto che detta seconda struttura circuitale (50) è collegata al terminale di ingresso (IN) di detto buffer (10).

3. Stadio di ingresso secondo la rivendicazione 1, caratterizzato dal fatto che detta seconda struttura circuitale (50) è collegata al terminale di uscita

(OUT) di detto buffer (IN).

4. Stadio di ingresso secondo la rivendicazione 2 o 3, caratterizzato dal fatto che il valore di tensione ( $V_{dd}+V_{in}$ ) di detto secondo segnale (F) è maggiore in valore assoluto del valore di tensione del segnale analogico ( $V_{in}$ ) di una quantità sostanzialmente uguale al valore di tensione di detta tensione di riferimento ( $V_{dd}$ ).

5. Stadio di ingresso secondo la rivendicazione 4 in quanto dipendente dalla rivendicazione 2, caratterizzato dal fatto che detto secondo interruttore (11) è un transistor (M1) avente un terminale di pilotaggio (G) e detta seconda struttura circuitale (50) comprende un condensatore (C1), un terzo interruttore (53) connesso fra un primo terminale (A1) di detto condensatore (C1) e detta tensione di riferimento ( $V_{dd}$ ), un quarto interruttore (52) connesso fra il secondo terminale (B1) di detto condensatore (C1) e massa, detti terzo (53) e quarto (52) interruttore essendo comandati a chiudersi durante un secondo semiperiodo di campionamento ( $T/2$ ) in modo da caricare detto condensatore (C1) ad un valore di tensione sostanzialmente uguale a detta tensione di riferimento ( $V_{dd}$ ), un quinto interruttore (51) connesso a detto terminale di ingresso (IN) di detto buffer (10) e a detto primo terminale (A1) del condensatore (C1) ed un sesto interruttore (54) connesso fra detto secondo terminale (B1) del condensatore (C1) ed il terminale di pilotaggio (G) di detto transistor (M1), detti quinto (51) e sesto (54) interruttori essendo attivi durante il secondo intervallo di tempo ( $T/4$ ) del primo semiperiodo di campionamento ( $T/2$ ) per ottenere detto secondo segnale (F) su detto terminale di pilotaggio (G) del transistor (M).

6. Stadio di ingresso secondo la rivendicazione 4 in quanto dipendente

dalla rivendicazione 3, caratterizzato dal fatto che detto secondo interruttore (11) è un transistor (M1) avente un terminale di pilotaggio (G) e detta seconda struttura circuitale (50) comprende un condensatore (C1), un terzo interruttore (53) connesso fra un primo terminale (A1) di detto condensatore (C1) e detta tensione di riferimento (Vdd), un quarto interruttore (52) connesso fra il secondo terminale (B1) di detto condensatore (C1) e massa, detti terzo (53) e quarto (52) interruttore essendo comandati a chiudersi durante un secondo semiperiodo di campionamento ( $T/2$ ) in modo da caricare detto condensatore (C1) ad un valore di tensione sostanzialmente uguale a detta tensione di riferimento (Vdd), un quinto interruttore (51) connesso a detto terminale di uscita (OUT) di detto buffer (10) e a detto primo terminale (A1) del condensatore (C1) ed un sesto interruttore (54) connesso fra detto secondo terminale (B1) del condensatore (C1) ed il terminale di pilotaggio (G) di detto transistor (M1), detti quinto (51) e sesto (54) interruttori essendo attivi durante il secondo intervallo di tempo ( $T/4$ ) del primo semiperiodo di campionamento ( $T/2$ ) per ottenere detto secondo segnale (F) su detto terminale di pilotaggio (G) del transistor (M).

Dr. Ing. Enrico Mittler



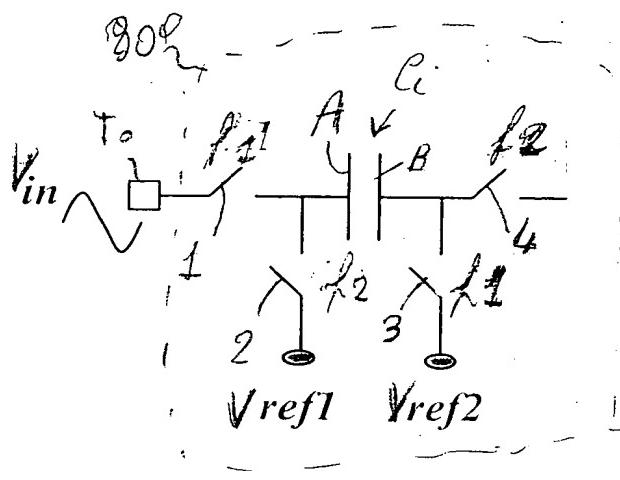


FIG 1

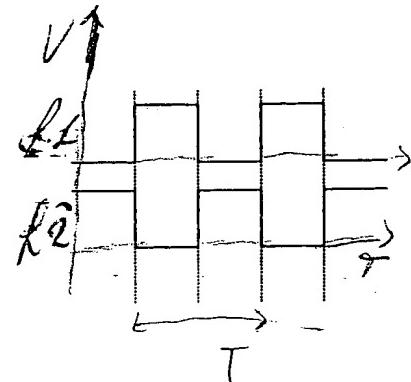


FIG 2

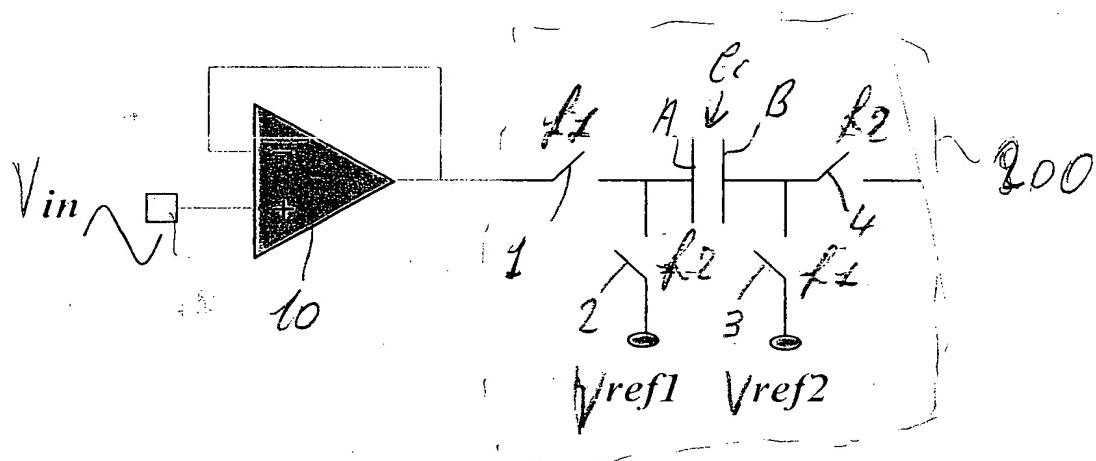
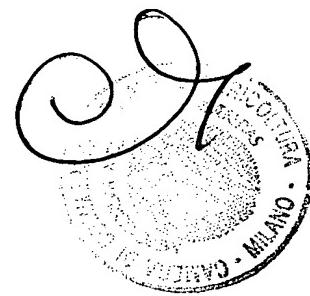


FIG 3

MI 2003A 0 00 136



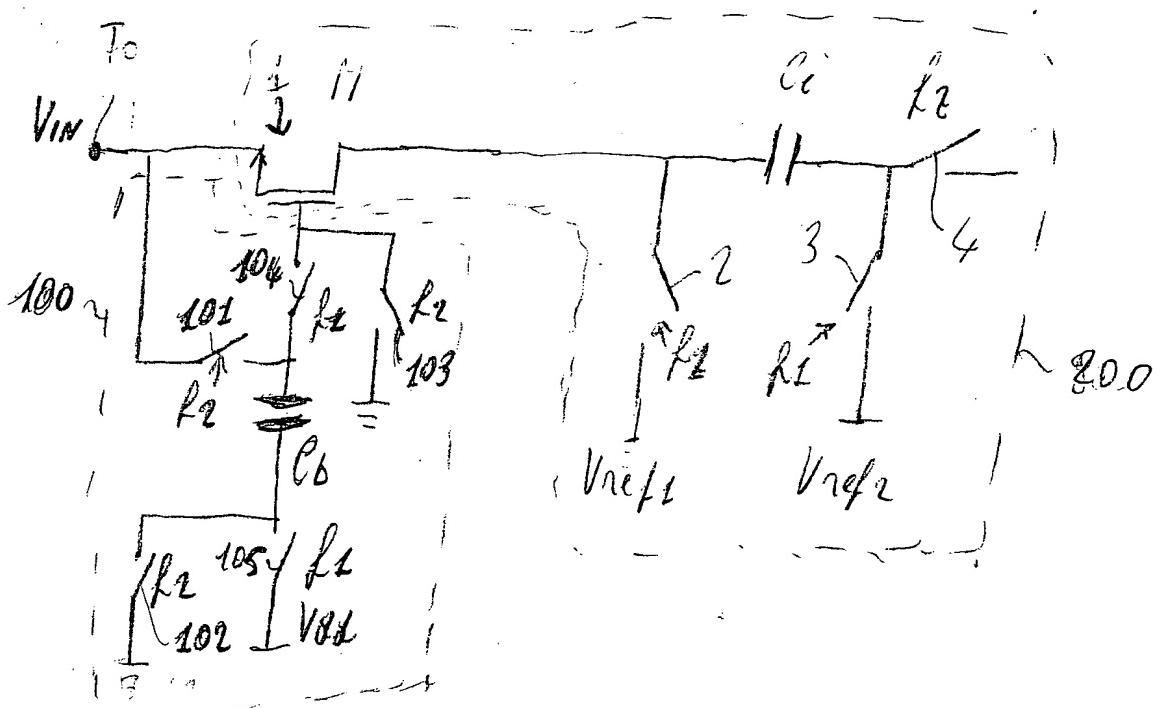


FIG 4

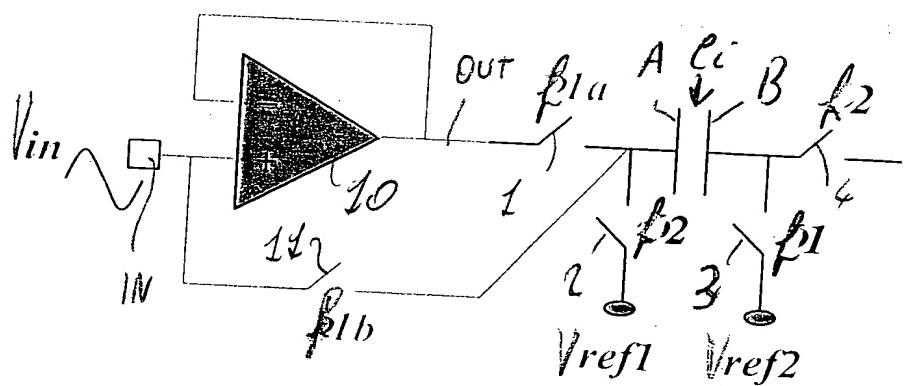


FIG 5

MI 2003 A 0 0 0 1 3 6

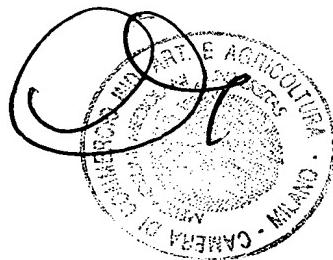
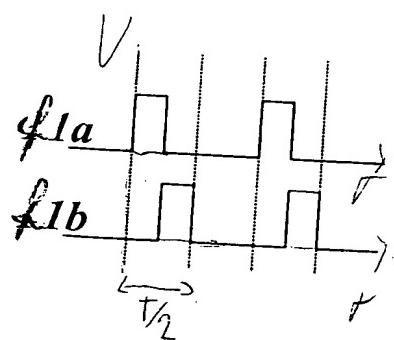
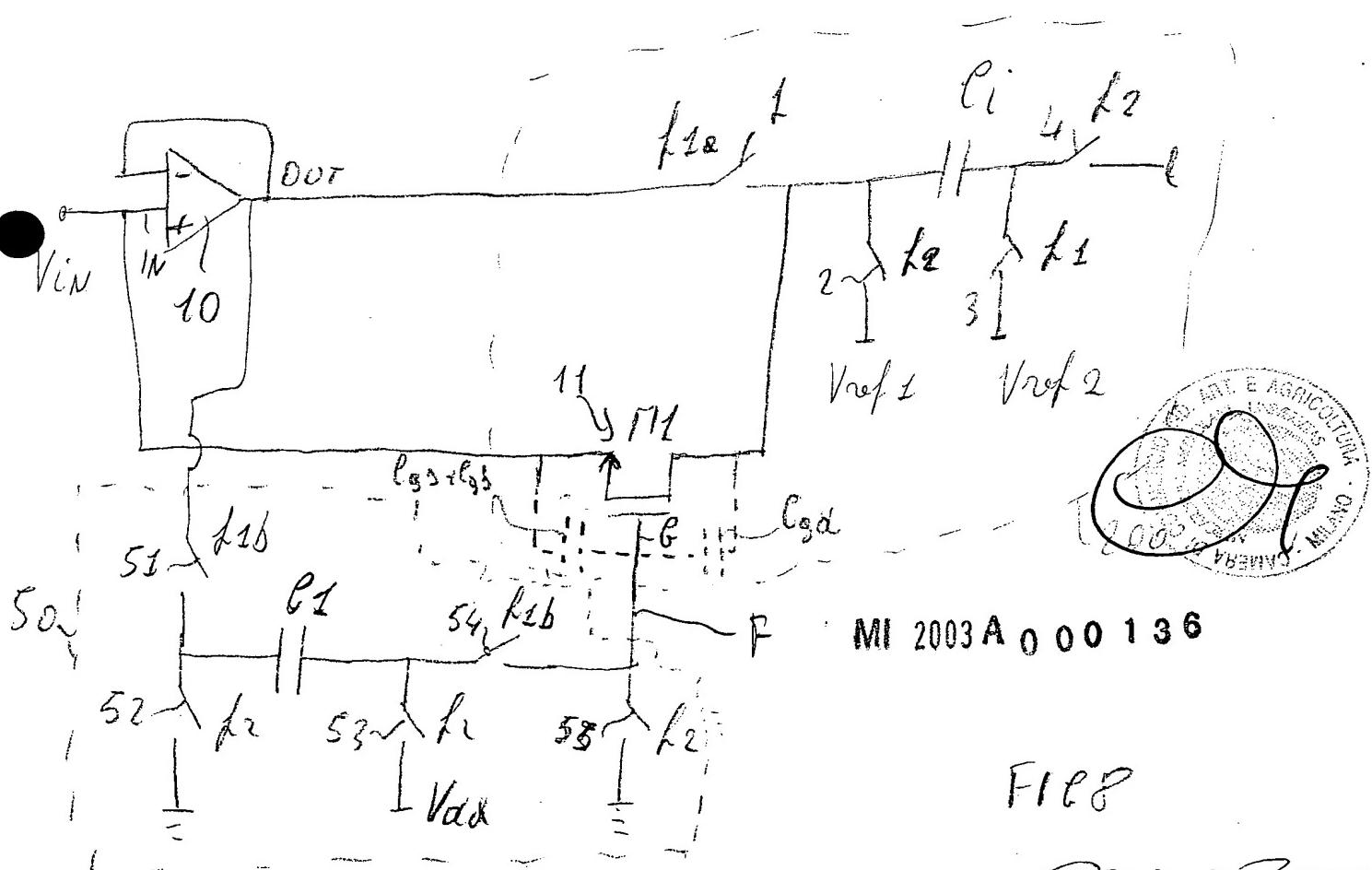
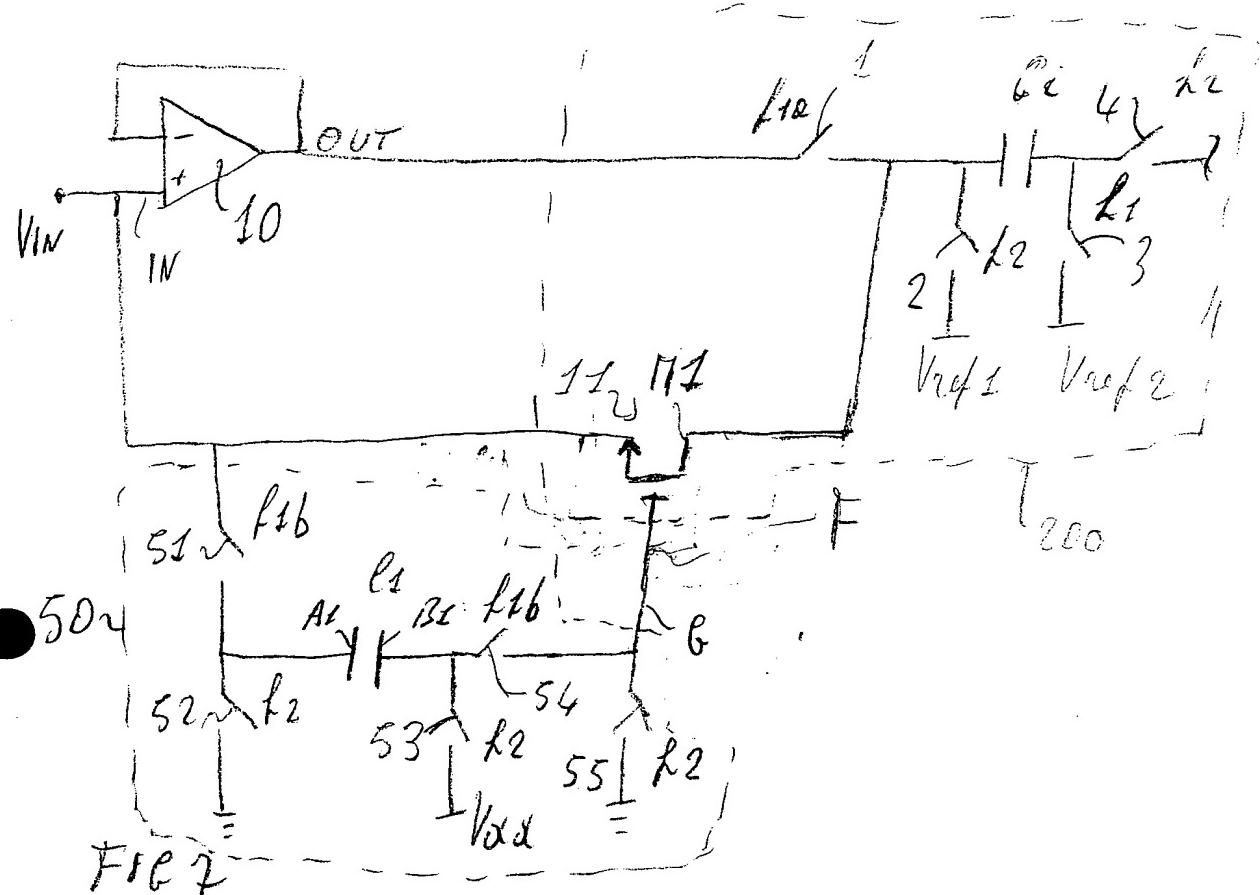
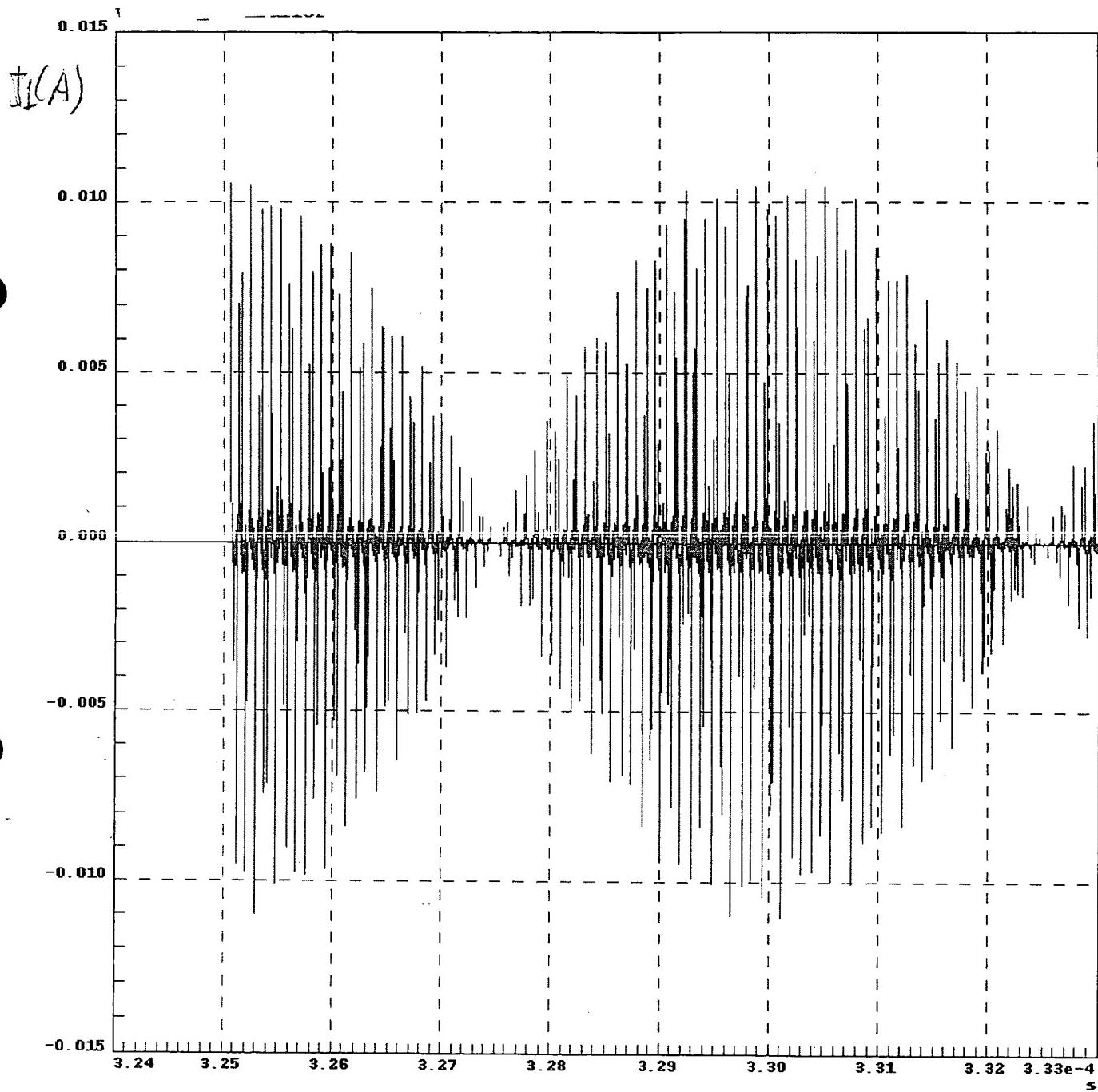


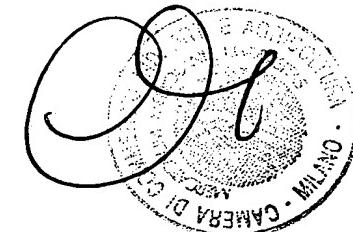
FIG 6



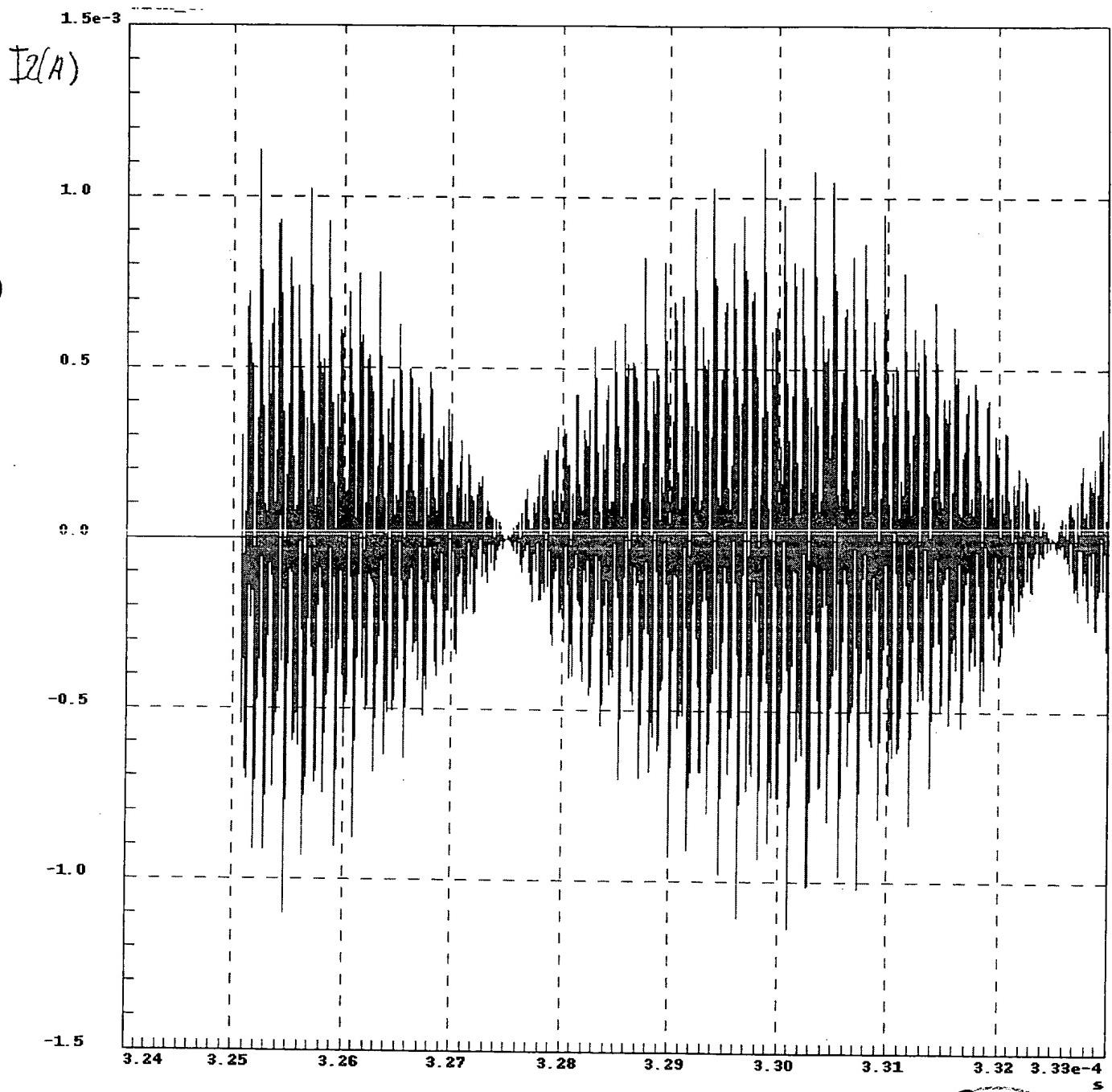
Dr. Ing. Enrico MITTLER



MI 2003 A 0 00 136

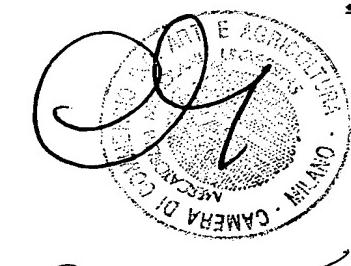


Dr. Ing. Enrico MITTLER



F1810

MI 2003 A 0 00136



Dr. Ing. Enrico MITTLER

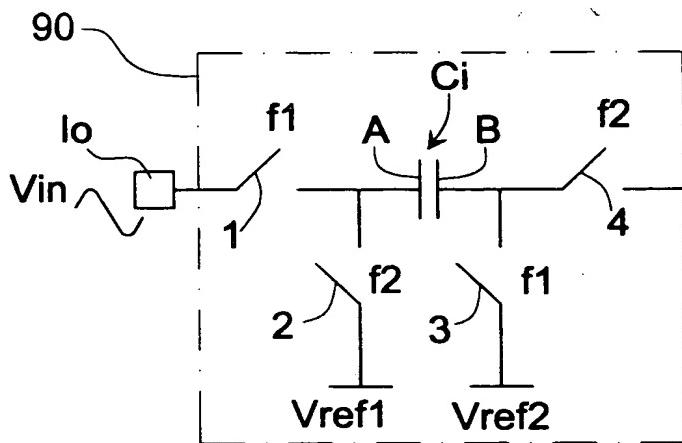


Fig.1

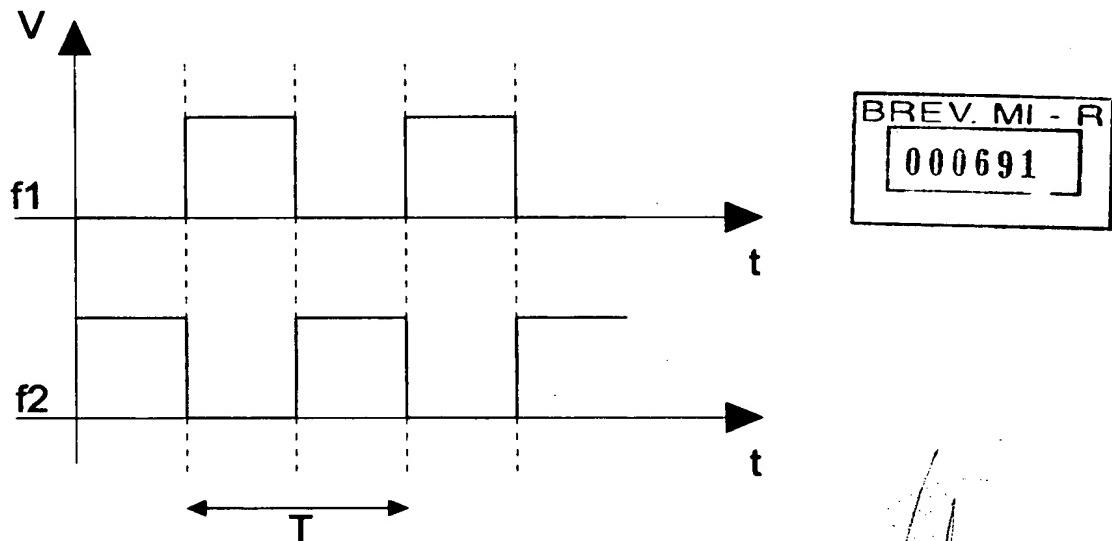


Fig.2

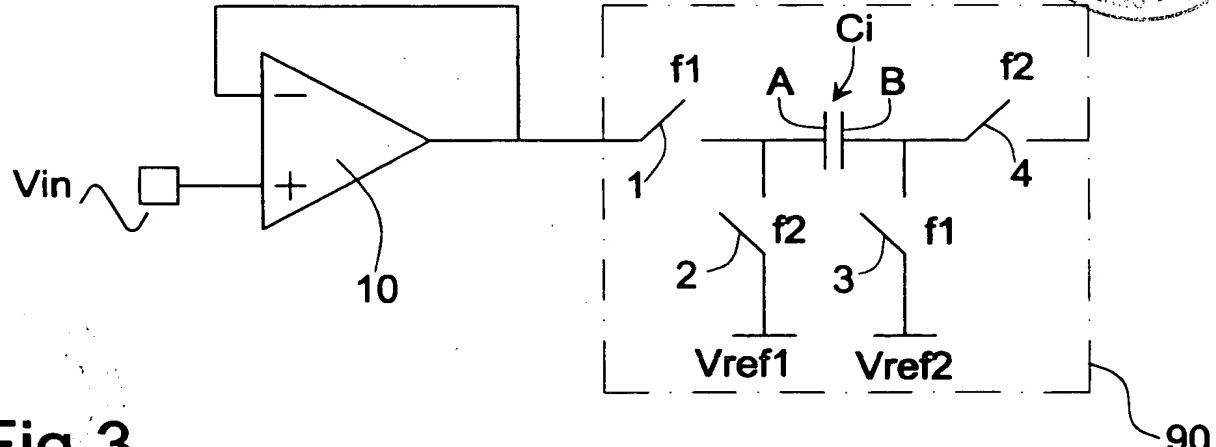


Fig.3

TAV. II

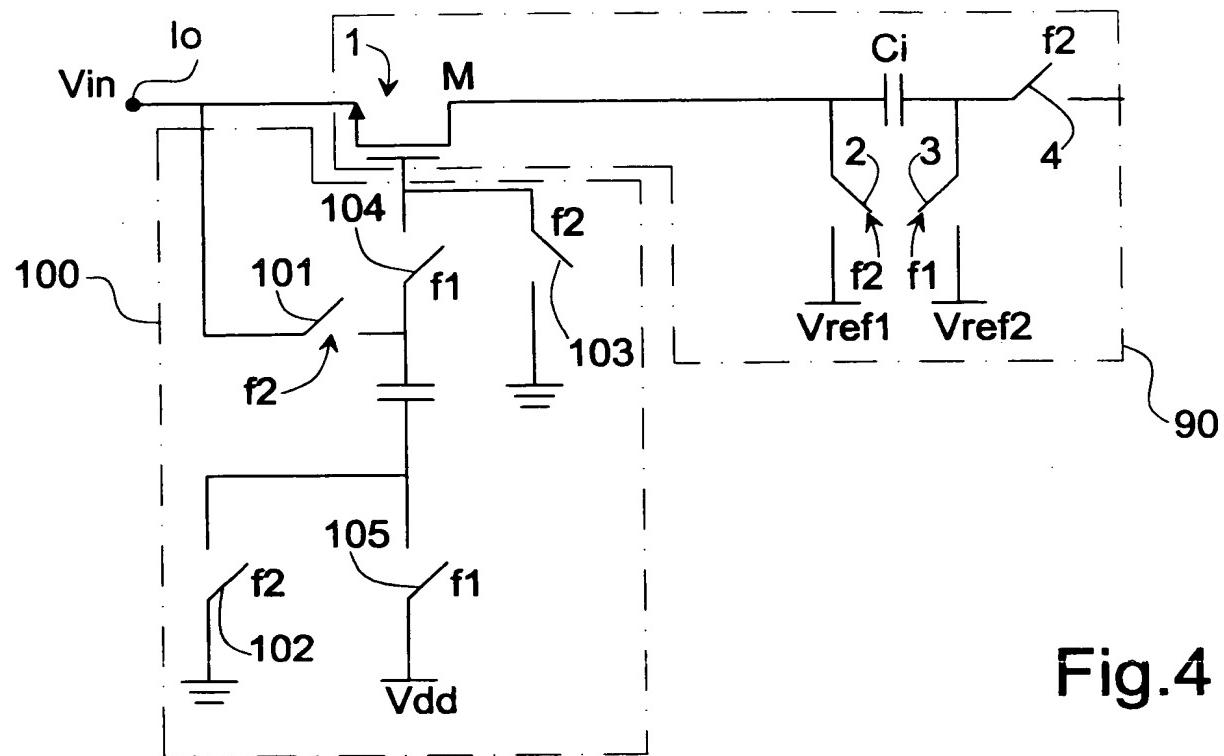


Fig.4

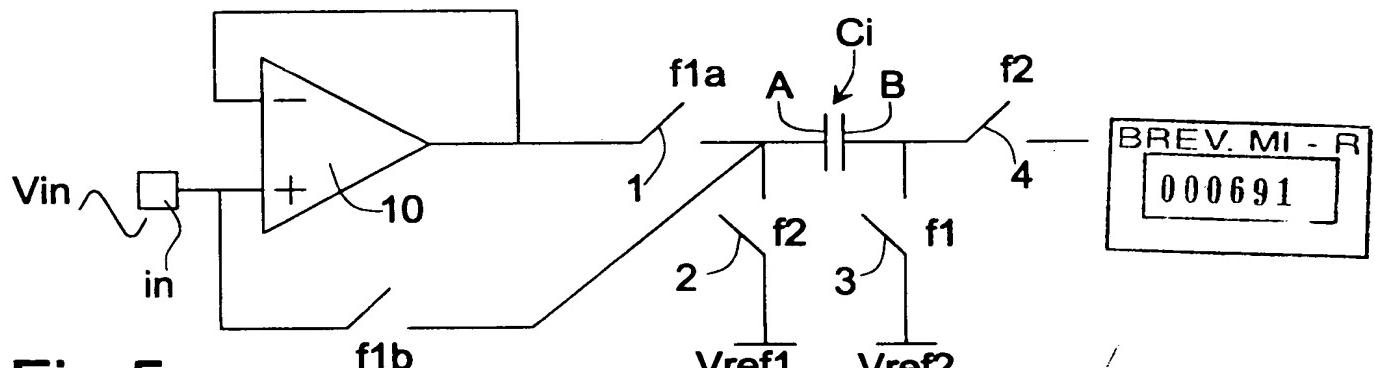


Fig.5

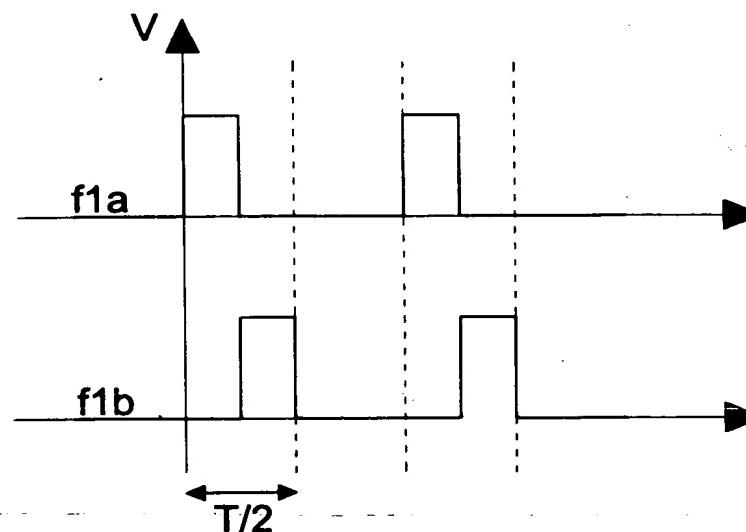
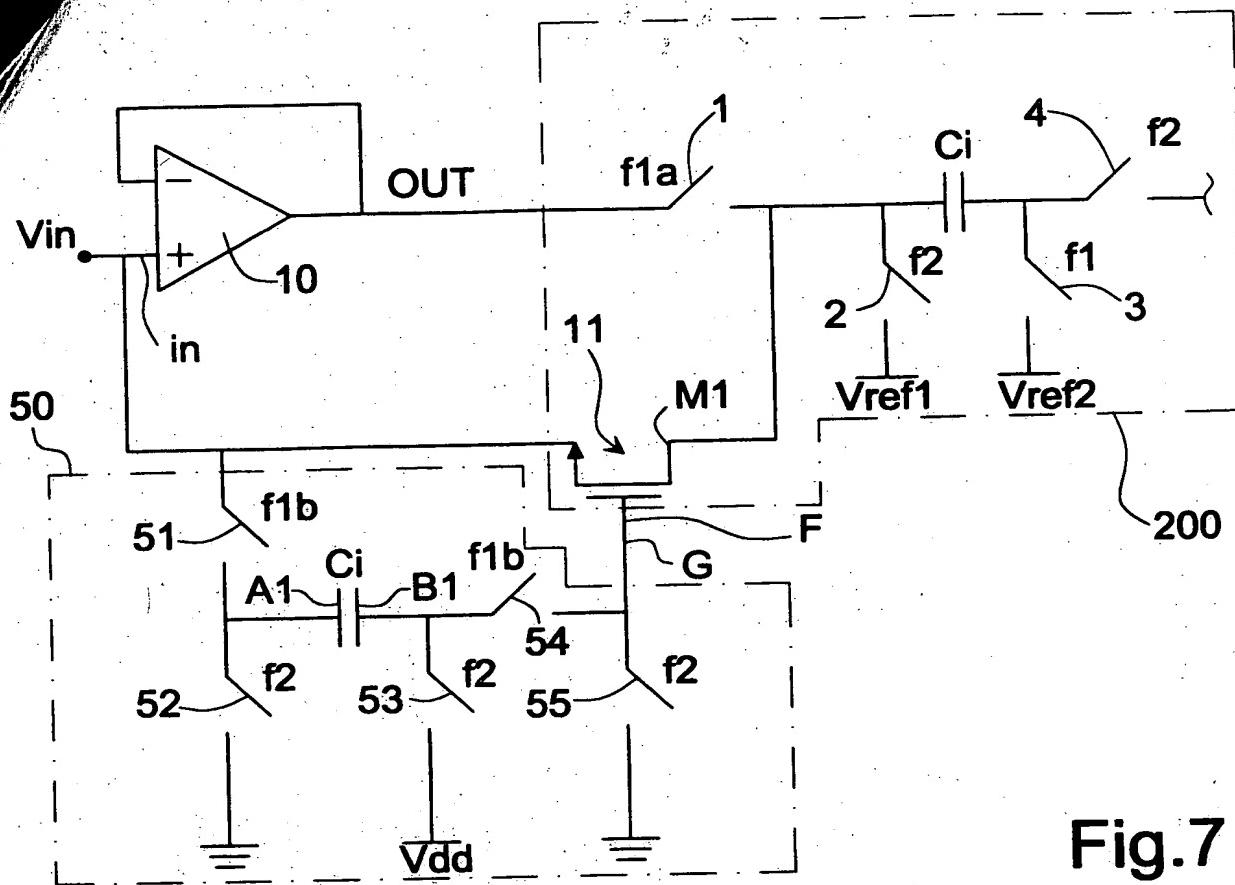
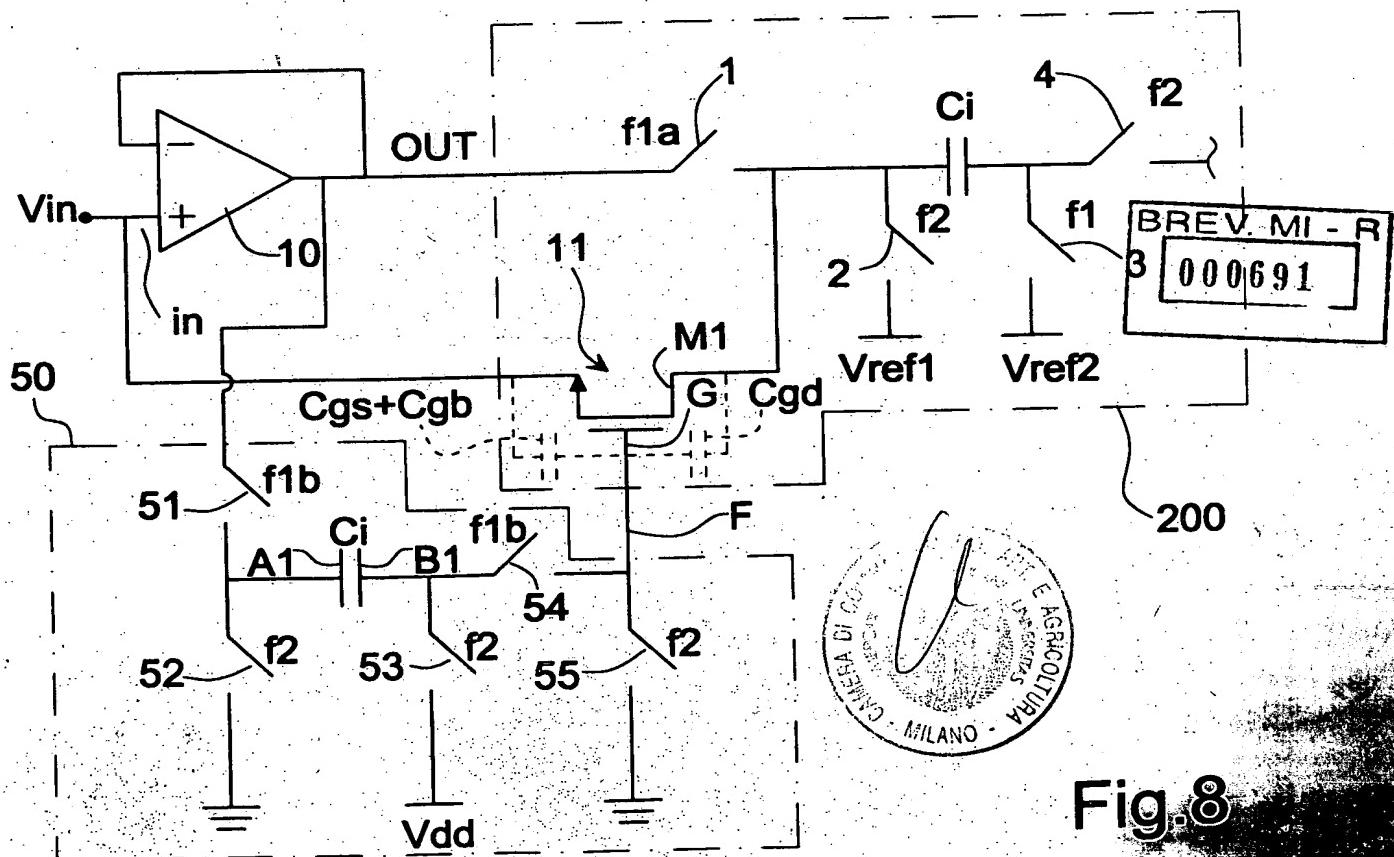


Fig.6

TAV. III



**Fig.7**



**Fig. 8**

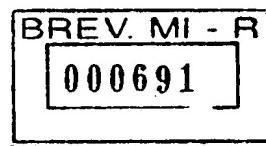
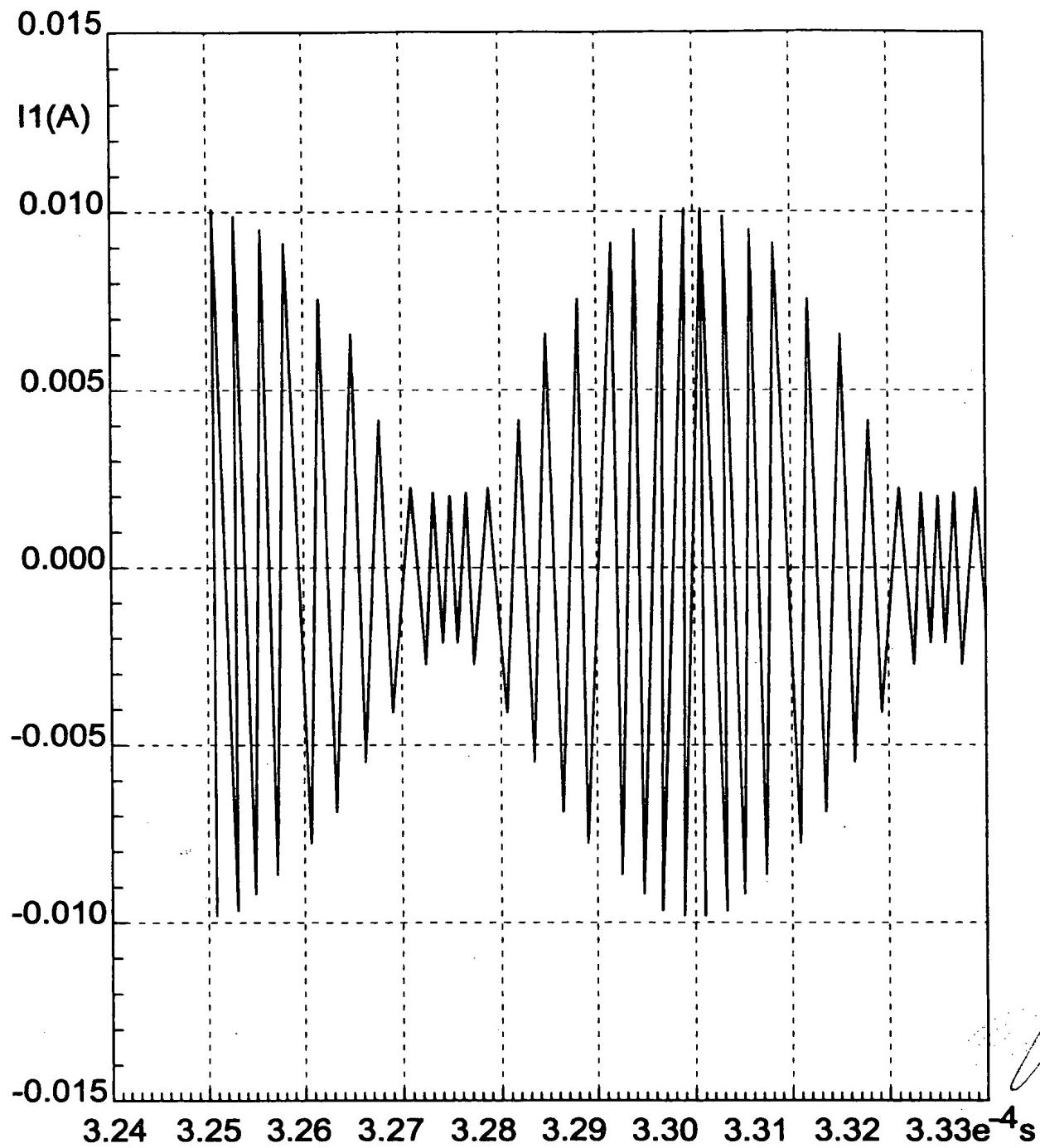


Fig.9

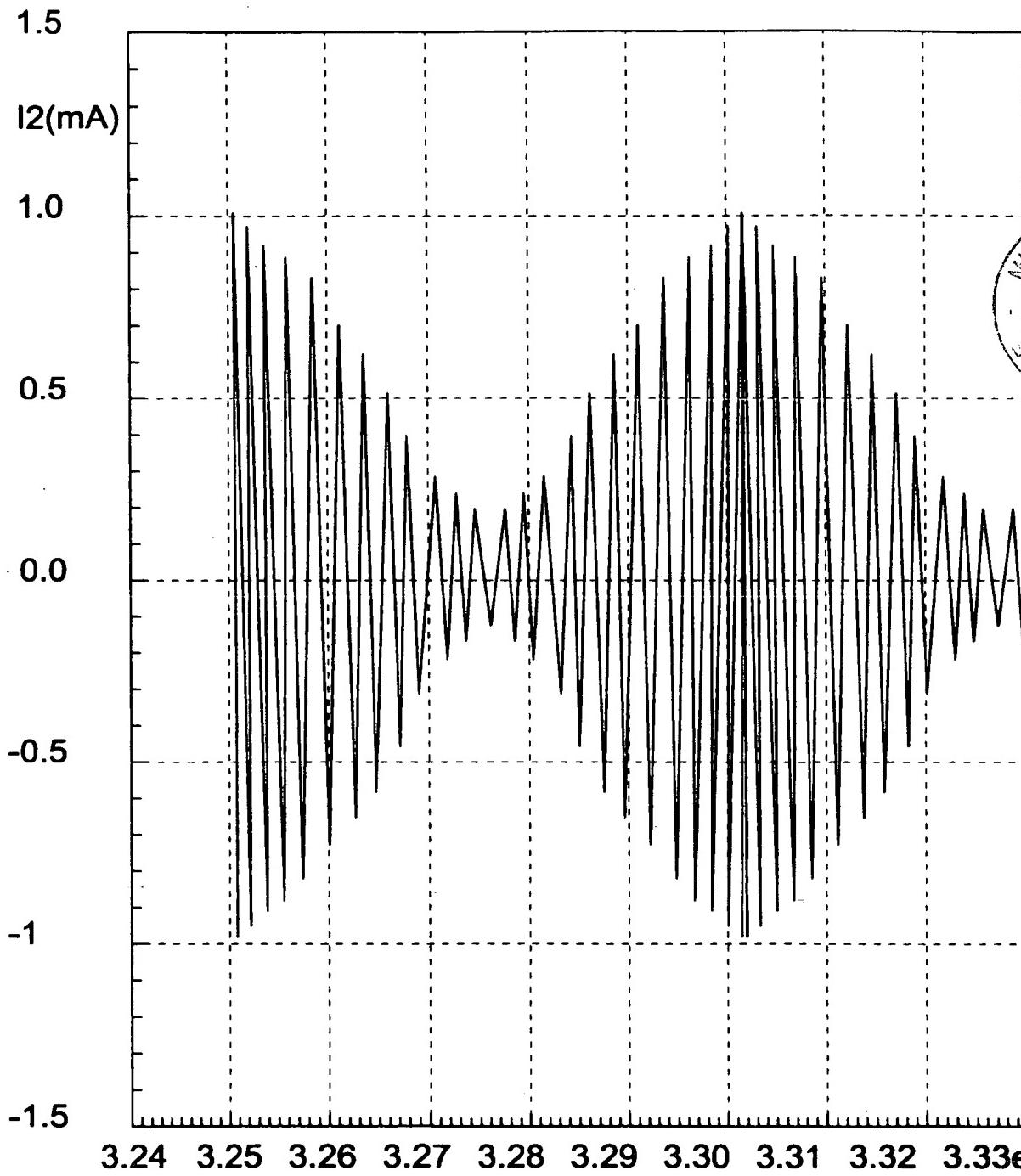


Fig. 10

Dr. Ing. Enrico MITTLER



MINISTERO DELLE ATTIVITA' PRODUTTIVE

Ufficio Italiano Brevetti e Marchi – Roma

Oggetto: Domanda di brevetto per invenzione industriale No. MI2003A

000136 del 28 Gennaio 2003.

***ISTANZA DI RETTIFICA***

Con la presente istanza la sottoscritta STMicroelectronics s.r.l., richiedente della domanda di brevetto in oggetto, chiede di apportare le seguenti modifiche alla descrizione depositata:

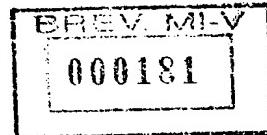
Pag. 2, riga 17: sostituire “200” con “90”;

Pag. 3, riga 16: sostituire “200” con “90”;

Pag. 3, riga 24: sostituire “200” con “90”;

Pag. 4, riga 23: sostituire “200” con “90”.

In fede.



p.p. STMicroelectronics s.r.l.

*Dr. Ing. Enrico Mittler*

Milano, 22 Gennaio 2004

